



DEUTSCHES
PATENT- UND
MARKENAMT

12 Offenlegungsschrift
10 DE 101 42 913 A 1

51 Int. Cl. 7:
H 01 L 29/786
H 01 L 21/335
H 01 L 29/772

21 Aktenzeichen: 101 42 913.4
22 Anmeldetag: 27. 8. 2001
43 Offenlegungstag: 27. 3. 2003

DE 101 42 913 A 1

71 Anmelder:
Hahn-Meitner-Institut Berlin GmbH, 14109 Berlin,
DE

74 Vertreter:
Rudolph, M., Pat.-Ass., 10117 Berlin

72 Erfinder:
Könenkamp, Rolf, Dipl.-Phys. Dr., 10829 Berlin, DE;
Chen, Jie, Dipl.-Phys., 14197 Berlin, DE

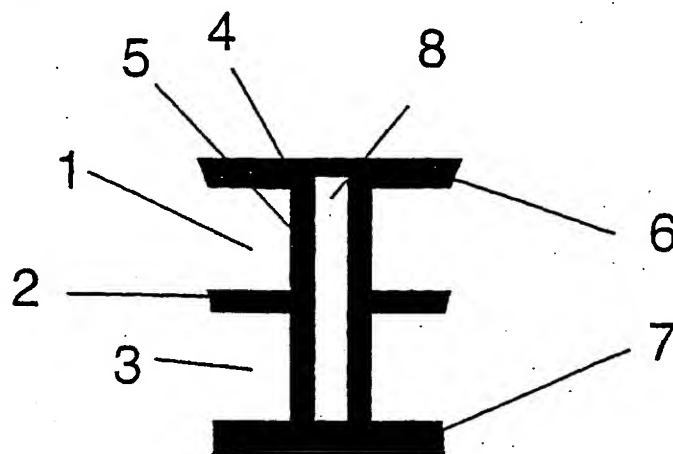
56 Entgegenhaltungen:
US 59 81 970 A
JP 11-3 29 334 A
JP 61-4 017 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Transistoranordnung und Verfahren zu deren Herstellung

57 Bei Dünnschichttransistoren auf flexiblen Substraten kommt es bei Biegung, Scherung oder Dehnung leicht zu Verletzungen der Halbleiterschichten und Ablösungen von der Substratschicht. Die erfindungsgemäße Transistoranordnung ist so aufgebaut, dass in Mikrolöchern (4) eines Folienverbundes, bestehend aus zwei Kunststofffolien (1, 3) mit zwischenliegender Metallschicht (2), vertikal Halbleitermaterial eingebracht ist, welches durch Metallisierung der Ober- und Unterseite des Folienverbundes mit Kontakten (6, 7) versehen ist. Da die Folie biege- und dehnbar ist, ist die Anordnung sehr robust.



DE 101 42 913 A 1

BEST AVAILABLE COPY

Beschreibung

[0001] Die Erfindung betrifft eine Transistoranordnung und ein Verfahren zu deren Herstellung.

[0002] Es ist bekannt, zur Erzeugung von Dünnschichttransistoren Halbleitermaterial in planarer Anordnung auf flexible Substrate aufzubringen. Bei mechanischen Beanspruchungen der Substrate durch Biegung, Scherung oder Dehnung werden die Dünnschichttransistoren mit beansprucht, wodurch es leicht zu Verletzungen der Halbleiterschichten und Ablösungen von der Substratschicht kommt.

[0003] Der Erfindung liegt die Aufgabe zugrunde, eine Transistoranordnung und ein Verfahren zu deren Herstellung anzugeben, wobei ein flexibles Substrat verwendet werden soll, dessen mechanische Beanspruchung jedoch nicht zu Beeinträchtigungen der Funktion der Transistoren führt.

[0004] Erfindungsgemäß wird die Aufgabe gelöst durch die Merkmale der Ansprüche 1 und 8. Zweckmäßige Ausgestaltungen sind Gegenstand der Unteransprüche.

[0005] Danach ist die Transistoranordnung so aufgebaut, dass in Mikrolöchern eines Folienverbundes, bestehend aus zwei Kunststofffolien mit zwischenliegender Metallschicht, vertikal Halbleitermaterial eingebracht ist, welches durch Metallisierung der Ober- und Unterseite des Folienverbundes mit Kontakten versehen ist.

[0006] Als Mikrolöcher werden nach der Erfindung zylindrische Ionenspurkanäle genutzt, die sich durch Ionenbeschuss und nachfolgende Ätzbehandlung in Polymer- oder Polyesterfolien ausbilden. Diese Ionenspurkanäle können mit Elektrodeposition, chemischer Badabscheidung oder anderen geeigneten Verfahren mit Verbindungshalbleitern oder zunächst mit einer hohlzylindrischen Isolatorschicht und anschließend mit einem Verbindungshalbleiter aufgefüllt werden.

[0007] Der Folienverbund, in den das Halbleitermaterial eingebettet wird, wird hergestellt, indem eine Folie, z. B. durch Bedampfen, mit einer Metallschicht versehen wird und eine zweite Folie mittels Haftvermittler auf die Metallschichtseite der ersten Folie aufgeklebt wird. Anschließend erfolgt der Ionenbeschuss in einem Beschleuniger. Mit dem Ionenbeschuss bilden sich entlang der Ionenspur amorphe Kanäle in der Folie mit einem Durchmesser von wenigen Angström aus. Die erzeugten Ionenspurkanäle sind darauf sensitiviert für eine nachfolgende Ätzbehandlung, mit der sich Mikrolöcher in den Kunststofffolien bilden. Gegebenenfalls erfolgt vor der Ätzbehandlung noch eine weitere Sensitivierung mit einem chemischen Sensitivator. Das Verfahren zur Bildung von Mikrolöchern in Folien, allerdings mit einer einlagigen Folie und ohne die zwischen die Folienlagen eingebrachte Metallschicht, wird bisher zur Herstellung von Mikrofiltern und anderen Anwendungen genutzt, nicht jedoch für Transistoren.

[0008] Nach dem Ätzen der beidseitig angebrachten Polymerfolien, entfernt man die Metallfolie im Lochbereich durch einen weiteren Ätzvorgang. Die Metallschicht kann dabei gerade so weit entfernt werden, dass sie noch bis an den Ionenspurkanal in den Folien heranreicht. Die mittige Metallschicht dient in dem vorgeschlagenen Transistor als Gate-Kontakt und sollte deshalb zu dem Halbleitermaterial entweder einen Schottky-Kontakt bilden (MESFET) oder bezüglich des Halbleiters isoliert sein (MOSFET), wie das z. B. in S. M. Sze, Physics of Semiconductor Devices. Wiley, New York, 1981, S. 312 ff. u. S. 431 ff. gezeigt ist. Wenn die Materialkombination Metall/Halbleiter es zulässt, kann man zur Bildung eines MESFET Halbleitermaterial in Elektrodeposition vom Rand der mittigen Metallschicht aus aufwachsen, sodass sich ein Schottky-Kontakt ausbildet.

[0009] Zur Herstellung eines MOSFET wird zunächst, z. B. mittels Badabscheidung, eine Isolierschicht an der Innenwandung des gesamten Kanals aufgewachsen. Eine Isolierschicht kann auch nur im Bereich der Metallschicht gebildet werden, indem diese von den Mikrolöchern aus chemisch oder elektrochemisch umgewandelt, z. B. oxidiert wird. Eine Alternative zu einer Isolierschicht ist das Wegätzen der Metallschicht rings um das Mikroloch herum, so dass sich ein isolierender Hohlraum bildet.

[0010] Nachdem die Mikrolöcher aus den Ionenspurkanälen vollständig ausgebildet sind, erfolgt das Einbringen des Halbleitermaterials mittels Elektrodeposition oder chemischer Badabscheidung. Durch anschließendes Metallisieren der Ober- und Unterseite des Folienverbundes werden Source- und Drain-Kontakte gebildet. Gegebenenfalls muss bereits vor der Elektrodeposition mindestens eine Seite des Folienverbundes metallisiert werden, um eine Elektrode für die Anlage eines Potentials bei der Elektrodeposition zu haben. Dabei lassen sich durch Strukturierung der Metallisierungsschicht mittels üblicher lithographischer Verfahren, z. B. in Matrixform, Transistoren jeweils zu Transistorverbänden zusammenfassen, die dann gemeinsam angesteuert werden können. Unterstützt werden kann die Bildung von bereichsweisen Transistoranordnungen dadurch, dass der Folienverbund auch bereits vor dem Ionenbeschuss maskiert wird. Letztlich lassen sich auch einzelne Transistoren an einem vorbestimmten Ort herstellen, indem der Folienverbund zur Bildung von einzelnen Ionenspurkanälen mit einem gesteuerten Ionenstrahl beschossen wird.

[0011] Die zylindrische, vertikale Anordnung der Transistoren hat den Vorteil, dass sie mechanisch sehr robust ist, da die Folie biegsam oder dehnbar ist. Das organische Folienmaterial ist zudem wesentlich weicher als das anorganische Transistormaterial. Dadurch werden auftretende Biege-, Scher- und Druckkräfte fast ganz vom Folienmaterial aufgenommen, so dass die Transistorkennlinie und andere elektrische Parameter weitgehend konstant unter Biege-, Flex- und Zugkräften sind.

[0012] Da die Mikrolöcher bis hinunter zu 30 nm Durchmesser hergestellt und mit Halbleitermaterial aufgefüllt werden können, lassen sich Transistoren im Nanometer-Maßstab auch ohne Lithographie und ohne Maskentechnik herstellen. Die Channel-Länge des Transistors ist durch den Raumladungsbereich des mittigen Gate-Kontaktes gegeben. Im allgemeinen ist dieser wesentlich kleiner als Dicke der Folien, die den Source-Drain-Abstand bestimmt, sodass der Transistor am besten im "Verarmungsmodus" betrieben wird, siehe DE-C 199 16 403. Aufgrund des kleinen Durchmessers und der kleinen Channel-Länge ergeben sich Möglichkeiten, den Transistor im Quanten-Regime zu betreiben.

[0013] Durch die möglichen sehr kleinen Abmessungen ergeben sich auch für die Integration in Schaltkreisen Vorteile.

[0014] Die Anwendungen sind vielfältig. Für Anwendungen im Display-Bereich kommt z. B. eine Folie in DIN A 4-Größe mit nahe beieinanderliegenden vertikalen Transistoren in Frage, die zu optischen Pixeln mit etwa 1000 Transistoren geordnet werden. Die Transistoren sind zwar unregelmäßig verteilt, durch die hohe Anzahl der Transistoren/Pixel kann dennoch eine exakte Ansteuerung der Pixel erfolgen. Bei einem Durchmesser der Transistoren von 150 nm und einem durchschnittlichen Abstand von 500 nm ergibt sich für 1000 Transistoren beispielsweise eine Pixelgröße von etwa $20 \times 20 \mu\text{m}^2$, d. h. eine durchaus gängige Größe.

[0015] Die Erfindung soll nachstehend anhand von Ausführungsbeispielen näher erläutert werden. In den zugehörigen Zeichnungen zeigen

[0016] Fig. 1 einen erfindungsgemäßen Transistor im

Schnitt,

[0017] Fig. 2 eine zweite Variante eines Transistors im Schnitt und

[0018] Fig. 3 die Energiebandlücke eines erfindungsge-
mäßigen Transistors.

[0019] Das Herstellungsverfahren soll anhand der Schnitt-
darstellung eines einzelnen Transistors in Fig. 1 erläutert
werden. Zunächst wird eine ca. 5 µm dicke PET-Folie 1 (Po-
lyethyleneterephthalat) einseitig mit einer Metallschicht 2
(z. B. Al, Cu, Ag) bedampft. Mittels eines Haftvermittlers
wird die metallische Seite anschließend mit einer zweiten
5 µm dicken PET-Folie 3 zu einem Folienverbund verklebt.
[0020] Etwa DIN A 4 große Abschnitte werden zur Bil-
dung von Ionenspurkanälen in einem Beschleuniger mit
schnellen Ionen beschossen, vorzugsweise mit Krypton-
oder Xenonionen mit einer Energie von einigen 100 MeV
bei einer Dichte von etwa $10^8/\text{cm}^2$. Die entstandenen Ionen-
spurkanäle werden anschließend mit einem Sensitivator
(z. B. Dimethylformamid, Pyridin, Dioxan) vorbehandelt
und dann in Natronlauge (NaOH) geätzt. Je nach Ätzzeit
entstehen so Mikrolöcher 4 mit einem Durchmesser zwi-
schen 30 nm und 20 µm. Anschließend wird die mittige Me-
tallschicht geätzt (im Fall von Al z. B. ebenfalls mit Natron-
lauge, im Fall von Cu mit HNO_3 , etc.). Durch chemische
Badabscheidung oder ein anderes Verfahren, wie in DE-
C 199 16 403 gezeigt ist, werden darauf die Mikrolöcher 4
mit einer Isolierschicht 5 aus TiO_2 oder einem anderen Oxid
ausgekleidet.

[0021] Anschließend erfolgt elektrochemisch das Ein-
wachsen von p-leitendem Kupferthiocyanat 8 (CuSCN) in
die Mikrolöcher 4, wobei sich die Dotierung durch Einstel-
len der Potentialverhältnisse verändern lässt, siehe auch C.
Rost et al., Appl. Phys. Lett. 75, 692 (1999). Hierzu wird zu-
nächst eine Seite des Folienverbundes für eine Potentialan-
lage mit einer Gold-Metallschicht versehen, die später einen
Source-Kontakt 6 oder einen Drain-Kontakt 7 bildet. Die
Elektrodeposition kann in einem normalen Potentiostaten
erfolgen, wobei sich eine 0,05 molare $\text{Cu}(\text{BF}_4)_2$ -Lösung und
0,025 molares KSCN in Äthanol bei kathodischer Spannung
von $-(0,2 \text{ bis } 0,8) \text{ V}$ gegen eine Platin-Referenzelektrode als
praktikabel erwiesen hat. Es hat sich gezeigt, dass die Bil-
dung hexagonaler Kristalle mit $\langle 001 \rangle$ - oder $\langle 101 \rangle$ -Aus-
richtung möglich ist.

[0022] Nach dem vollständigen Füllen der Mikrolöcher 4
mit CuSCN wird durch Bedampfen der zweiten Seite des
Folienverbundes mit Platin ein Source-Kontakt 6 bzw. ein
Drain-Kontakt 7 hergestellt. Die mittlere Metallschicht 2
bildet den Gate-Kontakt.

[0023] Eine weitere Möglichkeit zeigt Fig. 2. Durch den
Ätzfortschritt entstehen nach außen etwas keglig aufgewei-
tete Mikrolöcher 4, die im Gate-Bereich einen Durchmesser
von ca. 100 nm haben. Die Metallschicht 2 besteht aus Alu-
minium. Sie wird an ihrem Rand an den herausgeätzten Mi-
krolöchern 4 elektrochemisch zu Aluminiumdioxid 9 oxi-
diert, sodass in diesem Fall keine Isolierschicht eingebracht
werden muss.

[0024] In Fig. 3 sind die Energieverhältnisse der Elektro-
nenleitung an einem solchen Transistor dargestellt. Das
Gate verursacht eine Raumladungszone von etwa 400 nm
Länge, in der sich das Potential des CuSCN verschieben
lässt. Da das CuSCN p-leitend ist, erfolgt bei positivem
Gate-Potential Verarmung im Channel. Wenn die Verar-
mung durch die gesamte Dicke des Halbleiterzylinders hin-
durchreicht, tritt eine starke Verringerung der Leitfähigkeit
zwischen Source und Drain ein. Bei negativem Gate-Poten-
tial erfolgt Anreicherung im Channel. Da die Channel-
Länge aber gering gegenüber dem Source-Drain Abstand
ist, bleibt die Leitfähigkeitserhöhung zwischen Source und

Drain gering.

Patentansprüche

1. Transistoranordnung, dadurch gekennzeichnet, dass in Mikrolöchern (4) eines Folienverbundes, beste-
hend aus zwei Kunststofffolien (1, 3) mit zwischenlie-
gender Metallschicht (2), vertikal Halbleitermaterial
eingebracht ist, welches durch Metallisierung der
Ober- und Unterseite des Folienverbundes mit Kontak-
ten (6, 7) versehen ist.
2. Transistoranordnung nach Anspruch 1, dadurch ge-
kennzeichnet, dass die Folie (1, 3) eine Polymerfolie
ist.
3. Transistoranordnung nach Anspruch 1, dadurch ge-
kennzeichnet, dass die Folie (1, 3) eine Polyesterfolie
ist.
4. Transistoranordnung nach Anspruch 3, dadurch ge-
kennzeichnet, dass die Folie (1, 3) eine PET-Folie ist.
5. Transistoranordnung nach einem der vorhergehen-
den Ansprüche, dadurch gekennzeichnet, dass die Folie
(1, 3) eine Dicke von 2 µm bis 30 µm aufweist.
6. Transistoranordnung nach einem der vorhergehen-
den Ansprüche, dadurch gekennzeichnet, dass die Me-
tallschicht (2) aus Kupfer, Aluminium oder Silber be-
steht.
7. Transistoranordnung nach einem der vorhergehen-
den Ansprüche, dadurch gekennzeichnet, dass das
Halbleitermaterial Kupferthiocyanat (CuSCN) (8) ist.
8. Verfahren zur Herstellung einer Transistoranord-
nung, dadurch gekennzeichnet, dass eine Metallschicht
zwischen zwei Kunststofffolien eingebettet wird, in
diesen Folienverbund mittels Ionenbeschuss Ionen-
spurkanäle eingebracht werden, der Folienverbund
nachfolgend einer Ätzbehandlung unterzogen wird, die
zu Mikrolöchern herausgeätzten Ionenspurkanäle mit
Halbleitermaterial aufgefüllt werden und durch Metall-
beschichtung auf der Ober- und Unterseite des Folien-
verbundes Source/Drain-Kontakte erzeugt werden.
9. Verfahren nach Anspruch 8, dadurch gekennzeichnet,
dass die Metallschicht zwischen den Kunststofffoli-
en innerhalb der Mikrolöcher einer gesonderten Ätz-
behandlung unterzogen wird.
10. Verfahren nach Anspruch 8 oder 9, dadurch ge-
kennzeichnet, dass die Mikrolöcher zur Bildung von
Feldeffekttransistoren mit einer Isolierschicht versehen
werden.
11. Verfahren nach Anspruch 8 oder 9 dadurch ge-
kennzeichnet, dass die Metallschicht zur Bildung von
Feldeffekttransistoren im Bereich der Mikrolöcher bis
hinter den Durchmesser der Mikrolöcher weggeätzt
wird.
12. Verfahren nach Anspruch 8 oder 9, dadurch ge-
kennzeichnet, dass die Metallschicht zur Bildung von
Feldeffekttransistoren im Bereich der Mikrolöcher
elektrochemisch oxidiert wird.
13. Verfahren nach einem der Ansprüche 8 bis 12, da-
durch gekennzeichnet, dass das Auffüllen der Mikrolö-
cher mit Halbleitermaterial mittels Elektrodeposition
erfolgt.
14. Verfahren nach einem der Ansprüche 8 bis 12, da-
durch gekennzeichnet, dass das Auffüllen der Mikrolö-
cher mit Halbleitermaterial mittels chemischer Badab-
scheidung erfolgt.
15. Verfahren nach einem der Ansprüche 8 bis 14, da-
durch gekennzeichnet, dass mit der Ätzbehandlung der
Ionenspurkanäle Mikrolöcher mit einem Durchmesser
zwischen 30 nm und 20 µm gebildet werden.

16. Verfahren nach einem der Ansprüche 8 bis 15, dadurch gekennzeichnet, dass die Metallschicht auf eine Seite einer Kunststoffolie durch Verdampfen oder Sputtern aufgebracht wird.
17. Verfahren nach einem der Ansprüche 8 bis 16, dadurch gekennzeichnet, dass die mit der Metallschicht versehene Kunststoffolie und die zweite Kunststoffolie miteinander verklebt werden. 5
18. Verfahren nach einem der Ansprüche 8 bis 17, dadurch gekennzeichnet, dass das Ätzen der Ionenspurkanäle mit Natronlauge erfolgt. 10
19. Verfahren nach einem der Ansprüche 8 bis 18, dadurch gekennzeichnet, dass beim Ionenbeschuss mit einer Ionendichte von 10^7 bis $10^9/\text{cm}^2$ gearbeitet wird.
20. Verfahren nach einem der Ansprüche 8 bis 19, dadurch gekennzeichnet, dass beim Ionenbeschuss mit einer Energie von mehreren 100 MeV gearbeitet wird. 15
21. Verfahren nach einem der Ansprüche 8 bis 20, dadurch gekennzeichnet, dass der Folienverbund vor dem Ätzen der Ionenspurkanäle mit einem Sensitivator behandelt wird. 20
22. Verfahren nach einem der Ansprüche 8 bis 21, dadurch gekennzeichnet, dass der Folienverbund vor der Metallbeschichtung seiner Ober- und Unterseite maskiert wird. 25
23. Verfahren nach einem der Ansprüche 8 bis 22, dadurch gekennzeichnet, dass der Folienverbund vor dem Ionenbeschuss maskiert wird.

Hierzu 2 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

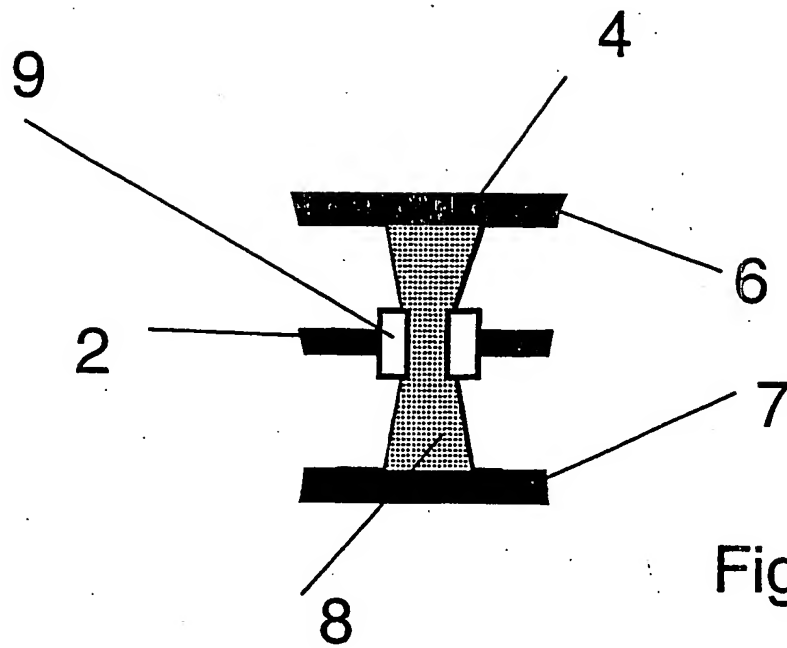


Fig. 2

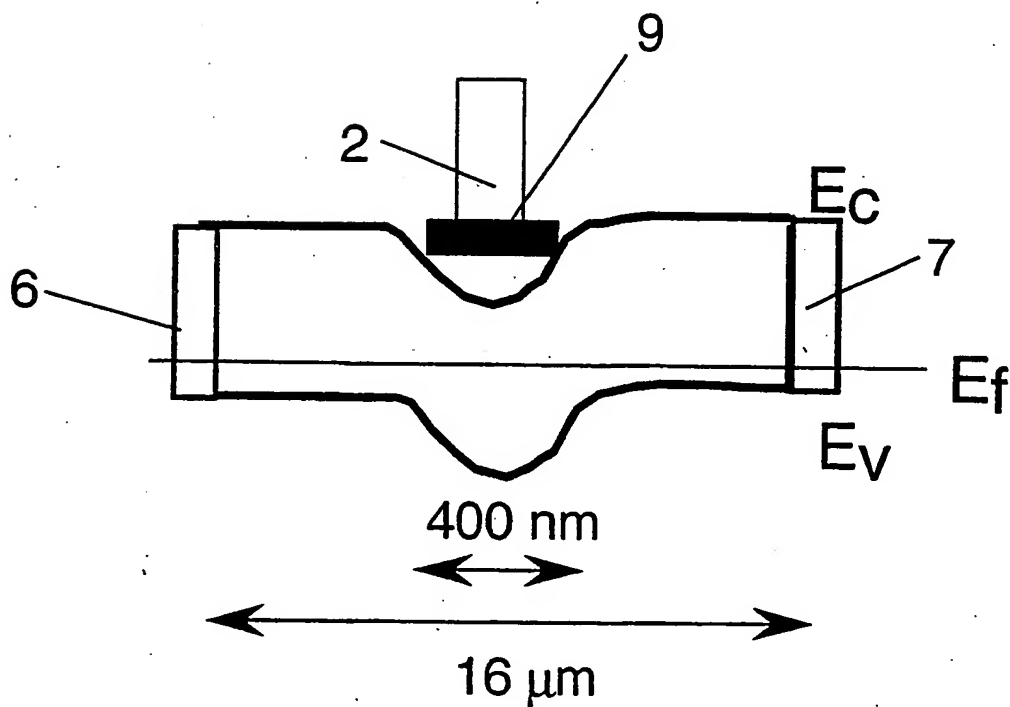


Fig. 3

BEST AVAILABLE COPY

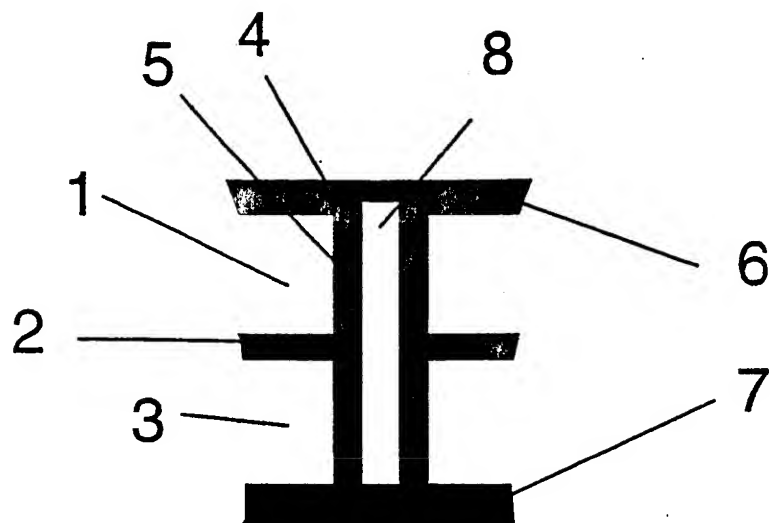


Fig. 1

BEST AVAILABLE COPY